

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 5-75045 (A) (43) 26.3.1993 (19) JP

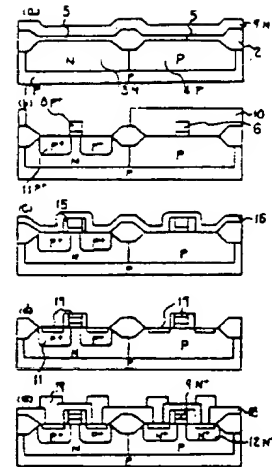
(21) Appl. No. 3-234194 (22) 13.9.1991

(71) NEC CORP (72) ISAYOSHI SAKAI

(51) Int. Cl. H01L27 092.H01L21 28

**PURPOSE:** To reduce the leakage currents of the source-drain diffusion layers of a CMOS integrated circuit having silicide structure by omitting the ion implantation of silicon.

**CONSTITUTION:** A polysilicon gate electrode 6 previously doped in an N type in low concentration is formed, and boron ions are implanted and the gate electrode of a P channel MOSFET is changed into a P<sup>+</sup> type polysilicon electrode 8. An N channel MOSFET forms a titanium silicide 17.



1: P-type silicon substrate, 2: field oxide film, 3: N well, 4: P well, 5: gate oxide film, 6: N-type polysilicon, 7: N<sup>+</sup> type polysilicon electrode, 8: P<sup>+</sup> type polysilicon electrode, 9: photo-resist, 10: P<sup>+</sup> type diffusion layer, 11: N<sup>+</sup> type diffusion layer, 12: sidewall, 13: titanium, 14: inter-layer insulating film, 15: aluminum electrode



特開平5-75045

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl. <sup>3</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/092				
21/28	3 0 1 T	7738-4M		
		7342-4M	H 0 1 L 27/ 08	3 2 1 E
		7342-4M		3 2 1 F

審査請求 未請求 請求項の数1(全 5 頁)

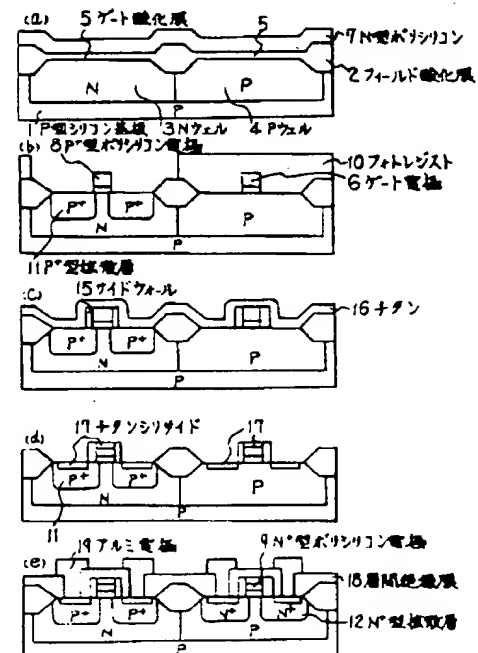
(21)出願番号	特願平3-234194	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成3年(1991)9月13日	(72)発明者	酒井 勲美 東京都港区芝五丁目7番1号日本電気株式会社内
		(74)代理人	弁理士 内原 晋

## (54)【発明の名称】 半導体装置の製造方法

## (57)【要約】

【目的】従来、砒素イオン注入によりN<sup>+</sup>型ソース・ドレイン12を形成してから、チタンシリサイド17を形成していた。このときシリコンのイオン注入を行なってシリサイド反応を促進していたが、これがリーク電流増大の原因になっていた。本発明の目的は、シリコンのイオン注入を省いて、シリサイド構造のCMOS集積回路のソース・ドレイン拡散層のリーク電流を低減することにある。

【構成】予め低濃度のN型にドーパしたポリシリコンゲート電極6を形成してから、ボロンをイオン注入してPチャンネルMOSFETのゲート電極をP<sup>+</sup>型ポリシリコン電極8に変える。NチャンネルMOSFETはチタンシリサイド17を形成してから砒素をイオン注入してN<sup>+</sup>型ソース・ドレイン12を形成する。



1

## 【特許請求の範囲】

【請求項1】 シリコン基板の一主面にフィールド酸化膜を形成して素子間分離を行なってから形成したN型半導体層領域およびP型半導体層領域にゲート酸化膜と低濃度N型ドーパントシリコンからなるゲート電極とを形成する工程と、イオン注入により前記N型半導体層領域に高濃度P型ソース・ドレインを形成する工程と、前記N型半導体領域および前記P型半導体領域のソース・ドレイン領域表面と前記ゲート電極表面とを露出したのち、高融点金属を堆積する工程と、熱処理により前記ソース・ドレイン領域上および前記ゲート電極上に前記高融点金属のシリサイド層を形成する工程と、イオン注入により前記P型半導体領域に高濃度N型ソース・ドレインを形成する工程とを含む半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にCMOS回路を含む半導体集積回路の製造方法に関するものである。

【0002】

【従来の技術】 P<sup>+</sup>型ゲート電極を備えたPチャネルMOSFETとN<sup>+</sup>型ゲート電極を備えたNチャネルMOSFETとからなるCMOS（以下デュアルゲートCMOSと記す）集積回路の製造方法について、図4（a）～（c）を参照して説明する。

【0003】 はじめに図4（a）に示すように、P型シリコン基板1に形成されたNウェル3およびPウェル4の上に、ゲート酸化膜5およびノンドープのポリシリコンゲート電極を形成する。つぎにNウェル3領域にボロンを $3 \times 10^{11} \text{ cm}^{-2}$ イオン注入し、Pウェル4領域に砒素を $3 \times 10^{11} \text{ cm}^{-2}$ イオン注入し、P<sup>+</sup>型拡散層11、P<sup>+</sup>型ポリシリコン電極8、N<sup>+</sup>型拡散層12、N<sup>+</sup>型ポリシリコン電極9を形成する。

【0004】 つぎに図4（b）に示すように、ゲート電極8、9の側面に酸化膜からなるサイドウォール15を形成し、スパッタによりチタン16を堆積したのち、シリコンを $2 \times 10^{11} \text{ cm}^{-2}$ イオン注入する。

【0005】 つぎに図4（c）に示すように、ランプアニールによる熱処理を行ない、ゲート電極8、9上およびP<sup>+</sup>型拡散層11、N<sup>+</sup>型拡散層12上に選択的にチタンシリサイド17を形成する。

【0006】 このシリコンイオン注入は砒素をイオン注入して形成したN<sup>+</sup>型拡散層12およびN<sup>+</sup>型ポリシリコン電極9上でチタンとシリコンとの反応を促進して、チタンシリサイド17を形成するためのものである。シリコンをイオン注入しないとチタンシリサイド17はほとんど形成されない。

【0007】 こうしてMOSFETのゲート電極8、9およびソース・ドレイン拡散層11、12に自己整合的にシリサイドが形成される。このシリサイド構造と項は

2

れている。ゲート電極8、9およびソース・ドレイン拡散層11、12の層抵抗を数 $\Omega/\square$ まで低減して、CMOS集積回路の高性能化を図ることができる。

【0008】

【発明が解決しようとする課題】 図4（b）に示すように堆積したチタン16の上から、チタン16とP型シリコン基板1との界面付近にシリコンをイオン注入して図4（c）に示すようにシリサイド17を形成する。そのためチタン16の原子がP型シリコン基板1の奥深くまでノックオン注入される。そしてP<sup>+</sup>型拡散層11とNウェル3との間、およびN<sup>+</sup>型拡散層12とPウェル4との間に形成される空乏層中に再結合中心を形成する。そしてP<sup>+</sup>型拡散層11およびN<sup>+</sup>型拡散層12のリーク電流を増大させるという問題があった。

【0009】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、シリコン基板の一主面にフィールド酸化膜を形成して素子間分離を行なってから形成したN型半導体層領域およびP型半導体層領域にゲート酸化膜と低濃度N型ドーパントシリコンからなるゲート電極とを形成する工程と、イオン注入により前記N型半導体層領域に高濃度P型ソース・ドレインを形成する工程と、前記N型半導体領域および前記P型半導体領域のソース・ドレイン領域表面と前記ゲート電極表面とを露出したのち、高融点金属を堆積する工程と、熱処理により前記ソース・ドレイン領域上および前記ゲート電極上に前記高融点金属のシリサイド層を形成する工程と、イオン注入により前記P型半導体領域に高濃度N型ソース・ドレインを形成する工程とを含むものである。

【0010】

【実施例】 本発明の第1の実施例について、図1（a）～（e）を参照して説明する。

【0011】 はじめに図1（a）に示すように、P型シリコン基板1にNウェル3およびPウェル4を形成したのち、厚さ10nmのゲート酸化膜5および厚さ300nmのポリシリコンを成長する。つぎに偏りを50keVで $5 \times 10^{11} \sim 2 \times 10^{11} \text{ cm}^{-2}$ イオン注入し、900℃で熱処理してN型ポリシリコン7を形成する。

【0012】 つぎに図1（b）に示すように、フォトリソ（図示せず）をマスクとしてN型ポリシリコン7を異方性ドライエッチングしてゲート電極6を形成する。つぎにフォトリソ10をマスクとしてボロンを15keVで $5 \times 10^{11} \text{ cm}^{-2}$ イオン注入したのちアニールしてP<sup>+</sup>型拡散層11およびP<sup>+</sup>型ポリシリコン電極8を形成する。ボロンの注入量の方が磷の注入量よりも多いので、PチャネルMOSFETのゲート電極がP型ポリシリコン電極8になる。

【0013】 つぎに図1（c）に示すように、ゲート電極8、9の側面に厚さ50nmの酸化膜からなるサイドウォール15を形成する。つぎにスパッタで金属を堆積

3

ート電極8、9の表面およびP<sup>+</sup>型拡散層11およびNチャネルMOSFETのソース・ドレインの表面を露出させ、スパッタにより厚さ50~100nmのチタン16を堆積する。

【0014】つぎに図1(d)に示すように、650℃の熱処理を行なってゲート電極6、8上、P<sup>+</sup>型拡散層11上、NチャネルMOSFETのソース・ドレイン上に厚さ50~100nmのチタンシリサイド17を選択的に形成したのち、ウェットエッチングにより未反応のチタンを除去する。

【0015】つぎに図1(e)に示すように、NチャネルMOSFET領域に砒素を50keVで $5 \times 10^{11}$ cm<sup>-2</sup>イオン注入してから熱処理によりドライビン拡散してN<sup>+</sup>型拡散層12、N<sup>+</sup>型ポリシリコン電極9を形成する。つぎに層間絶縁膜18を形成し、アルミ電極19を形成して素子部が完成する。

【0016】つぎに本発明の第2の実施例について、図2(a)~(c)を参照して説明する。

【0017】はじめに図2(a)に示すように、P型シリコン基板1にNウェル3およびPウェル4を形成したのちゲート酸化膜5を成長し、磷が $5 \times 10^{11} \sim 2 \times 10^{12}$ cm<sup>-2</sup>イオン注入されたN型ポリシリコンからなるゲート電極6を形成する。つぎにNチャネルMOSFET領域に磷を $5 \times 10^{11}$ cm<sup>-2</sup>イオン注入してN<sup>+</sup>型拡散層13を形成する。つぎにPチャネルMOSFET領域にボロンを $5 \times 10^{11}$ cm<sup>-2</sup>イオン注入してP<sup>+</sup>型拡散層14を形成する。

【0018】つぎに図2(b)に示すように、ゲート電極6の側面に厚さ200nmの酸化膜からなるサイドウォール15を形成したのち、PチャネルMOSFET領域にボロンを $5 \times 10^{11}$ cm<sup>-2</sup>イオン注入してP<sup>+</sup>型拡散層11を形成する。

【0019】このとき第1の実施例と同様に、PチャネルMOSFETのゲート電極6はP<sup>+</sup>型ポリシリコン電極8に変る。

【0020】つぎにチタン(図示せず)をスパッタしてから熱処理してチタンシリサイド17を形成し、未反応のチタンを除去する。

【0021】つぎに図2(c)に示すように、NチャネルMOSFET領域に砒素を $5 \times 10^{11}$ cm<sup>-2</sup>イオン注入してから熱処理してN<sup>+</sup>型拡散層12、N<sup>+</sup>型ポリシリコン電極9を形成する。つぎに層間絶縁膜18を形成し、アルミ電極19を形成して素子部が完成する。

【0022】本実施例ではNチャネルMOSFET、PチャネルMOSFET共にソース・ドレインがLDD(Lightly doped drain)構造となっているので、ホトキャリアによる相対コンダクタンス劣化を抑制する、信頼性の高いMOS集積回路を得ることができる。

【0023】図3に示すように本発明のMOS集積回

4

路のP-N接合リーク電流は、従来例と比べて2桁以上低減することができた。

#### 【0024】

【発明の効果】サリサイド構造のP-NデュアルゲートCMOSのNチャネルMOSFETのゲート電極およびソース・ドレインを形成するとき、チタンシリサイドを形成してから砒素をイオン注入する。そのため砒素が注入されたシリコン基板上のシリサイド反応を促進するため、従来行なっていたシリコンのイオン注入が不要になった。

【0025】チタンシリサイド上からの砒素のイオン注入は低いエネルギーで行ない、そのあと熱処理してチタンシリサイドから砒素を拡散させてN<sup>+</sup>型拡散層を形成する。そのため砒素のイオン注入によりチタン原子がシリコン基板中にノックオン注入されることはない。チタン原子の再結合中心によるリーク電流を大幅に低減して、信頼性の高いCMOS集積回路を得ることができた。

【0026】P-NデュアルゲートCMOS集積回路の場合、熱処理工程によりPチャネルMOSFETのゲート電極中のボロンがゲート酸化膜を拡散してシリコン基板中に突き抜けるので850℃以上の熱処理を行なうことができない。NチャネルMOSFET領域のチタンシリサイド中に砒素をイオン注入したのちも、熱処理は850℃以下で行なわなければならない。そのためNチャネルMOSFETのゲート電極のチタンシリサイドからポリシリコンに砒素を十分に拡散させることができない。

【0027】一方、本発明では予めNチャネルMOSFETのポリシリコンゲート電極をゲート酸化膜界面までN型化しているので、特性を安定化させることができる。

【0028】ポリシリコンゲート電極に予め添加するN型不純物として砒素の代りに磷を用いると、ナトリウムなどの可動イオンや重金属をゲッタリングすることができる。さらにトランジスタの信頼性を向上させる効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例を工程順に示す断面図である。

【図2】本発明の第2の実施例を工程順に示す断面図である。

【図3】P-N接合逆バイアス電圧に対するリーク電流を示すグラフである。

【図4】従来技術によるサリサイド構造のP-NデュアルゲートCMOS集積回路の製造方法を工程順に示す断面図である。

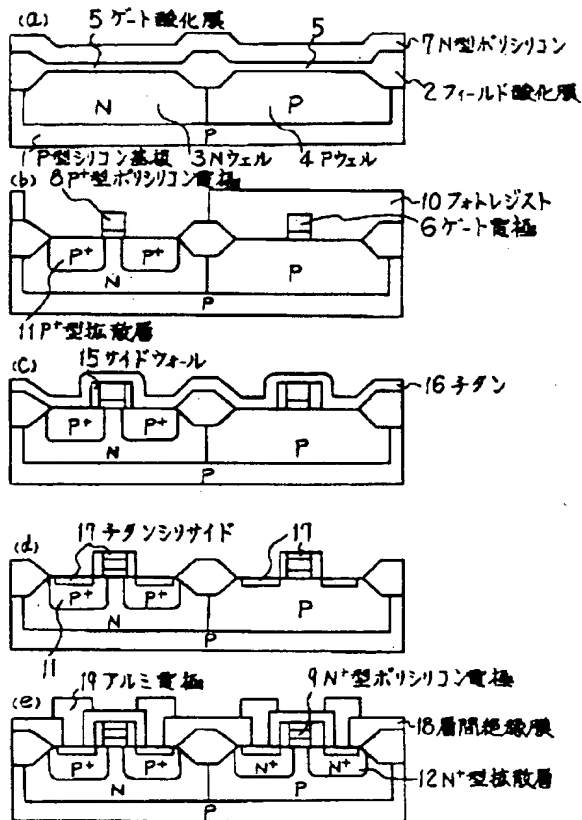
#### 【符号の説明】

- 1 P型シリコン基板
- 2 Pウェル
- 3 Nウェル
- 4 Pウェル
- 5 ゲート酸化膜
- 6 ゲート電極
- 7 チタンシリサイド
- 8 P<sup>+</sup>型ポリシリコン電極
- 9 N<sup>+</sup>型ポリシリコン電極
- 10 層間絶縁膜
- 11 P<sup>+</sup>型拡散層
- 12 N<sup>+</sup>型拡散層
- 13 N<sup>+</sup>型ポリシリコン電極
- 14 P<sup>+</sup>型ポリシリコン電極
- 15 サイドウォール
- 16 チタン
- 17 チタンシリサイド
- 18 層間絶縁膜
- 19 アルミ電極

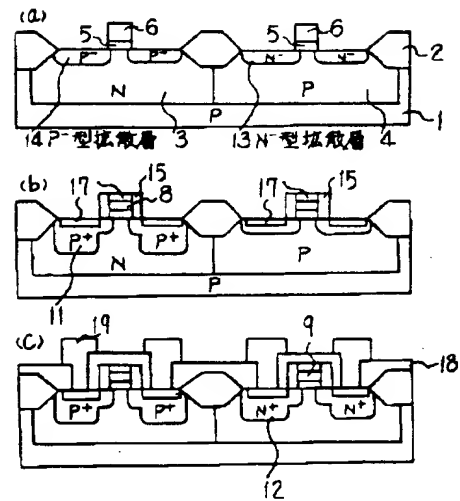
- 3 Nウェル  
4 Pウェル  
5 ゲート酸化膜  
6 ゲート電極  
7 N型ポリシリコン  
8 P<sup>+</sup>型ポリシリコン電極  
9 N<sup>+</sup>型ポリシリコン電極  
10 フォトリソ  
11 P<sup>+</sup>型拡散層

- 12 N<sup>+</sup>型拡散層  
13 N<sup>+</sup>型拡散層  
14 P<sup>+</sup>型拡散層  
15 サイドウォール  
16 チタン  
17 チタンシリサイド  
18 層間絶縁膜  
19 アルミ電極

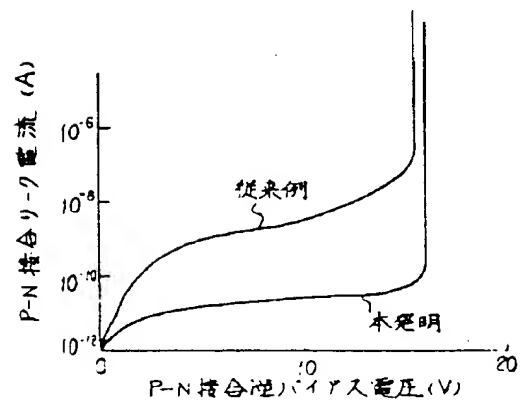
【図1】



【図2】



【図3】



【図4】

